

PATENT APPLICATION

Atty. Docket No.: 8750-064 Serial No. Not yet assigned
Applicant: Ho-Ouk LEE and Hyo-Dong BAN
Filing Date: March 16, 2004 Group: Not yet assigned

**INFORMATION DISCLOSURE CITATION
FORM PTO-1449 (Modified)**

U.S. PATENT DOCUMENTS

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Document</u> <u>Number</u>	<u>Issue</u> <u>Date</u>	<u>Name</u>	<u>Class</u>	<u>Sub</u> <u>Class</u>
_____	_____	6,426,627	Jul. 30, 2002	Kikukawa et al.		

FOREIGN PATENT DOCUMENTS

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Document</u> <u>Number</u>	<u>Publication</u> <u>Date</u>	<u>Country</u>	<u>Name</u>
_____	_____				
_____	_____				
_____	_____				
_____	_____				

OTHER DOCUMENTS

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Author, Title, Date, Pertinent Pages, Etc.)</u>
----------------------------	------------	--

Examiner: _____

Date Considered: _____



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016611
Application Number

출원 년 월 일 : 2003년 03월 17일
Date of Application
MAR 17, 2003

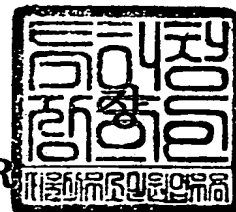
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.17
【발명의 명칭】	이중 캐핑막 패턴들을 갖는 반도체 장치 및 그 제조방법
【발명의 영문명칭】	A Semiconductor Device Having Dual Capping Layer Patterns And Fabrication Method Thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	반효동
【성명의 영문표기】	BAN,HYO DONG
【주민등록번호】	670625-1912317
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 683번지 현대2차 204동 704 호
【국적】	KR
【발명자】	
【성명의 국문표기】	이호욱
【성명의 영문표기】	LEE,HO OUK
【주민등록번호】	730916-1850831
【우편번호】	120-749
【주소】	서울특별시 서대문구 신촌동 연세대학교 과학관 331-c
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	12	면	12,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	19	항	717,000	원
---------	----	---	---------	---

【합계】	758,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

이중 캐핑막 패턴들을 갖는 반도체 장치 및 그 제조방법을 제공한다. 상기 반도체 장치 및 그 제조방법은 셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판 상에 각각 복수 개의 워드라인 패턴들 및 적어도 하나의 게이트 패턴을 포함한다. 상기 워드라인 패턴들은 각각 워드라인 및 워드라인 캐핑막 패턴으로 구성된다. 상기 게이트 패턴은 게이트 전극 및 게이트 캐핑막 패턴으로 구성된다. 상기 워드라인 캐핑막 패턴과 상기 게이트 캐핑막 패턴은 다른 식각률을 갖는다. 상기 워드라인 패턴들과 상기 게이트 패턴을 갖는 반도체 기판의 전면 상에 패드 층간절연막 및 비트라인 층간절연막을 순차적으로 형성한다. 상기 비트라인 층간절연막, 상기 패드 층간절연막, 및 상기 게이트 캐핑막 패턴을 패터닝하여 상기 셀 어레이 영역내에 셀 콘택홀과 함께 상기 주변회로 영역내에 주변회로 콘택홀을 배치한다.

【대표도】

도 8

【색인어】

셀 어레이 영역, 주변회로 영역, 워드라인 패턴, 게이트 패턴, 게이트 스페이서, 랜딩패드, 셀 콘택홀, 주변회로 콘택홀. 비트라인

【명세서】**【발명의 명칭】**

이중 캐핑막 패턴들을 갖는 반도체 장치 및 그 제조방법 { A Semiconductor Device Having Dual Capping Layer Patterns And Fabrication Method Thereof }

【도면의 간단한 설명】

도 1 은 종래기술에 따른 반도체 장치를 보여주는 공정 단면도.

도 2 는 본 발명의 일 실시예에 따른 반도체 장치의 일부를 보여주는 평면도.

도 3 은 도 2 의 I-I' 를 따라서 취해진, 본 발명의 일 실시예에 따른 반도체 장치의 공정단면도.

도 4 내지 도 8 은 도 2 의 I-I' 를 따라서 취해진, 본 발명의 일 실시예에 따른 반도체 장치의 제조공정을 설명하는 공정단면도들.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 상세하게는 이중 캐핑막 패턴들을 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

<6> 최근에, 반도체 장치는 셀 어레이 영역내와 아울러서 상기 셀 어레이 영역 이외의 주변회로 영역내에서 적어도 하나의 층간절연막을 관통하여 동시에 형성되는 콘택홀들의 형성에 관심이 집중되고 있다. 상기 콘택홀들의 최우선 과제는 반도체 공정에서 사용되는 마스크의 수를 줄이면서 형성하는 것이다. 상기 과제는 다층 막으로 된 게이트 배선

구조의 최적화를 필요로 한다. 왜냐하면, 상기 콘택홀들중에 상기 게이트 배선 상에 형성되는 것은 상기 층간절연막과 다른 식각률을 고려해야 하기 때문이다. 즉, 상기 콘택홀의 콘택저항을 위해서 안정된 프로파일(Pro file)을 확보해야한다. 이에대한, 상기 콘택홀들을 갖는 종래기술의 상기 반도체 장치는 다음과 같이 설명할 수 있다.

<7> 도 1 은 종래기술에 따른 반도체 장치를 보여주는 공정 단면도이다..

<8> 도 1 을 참조하면, 셀 어레이 영역(B)과 주변회로 영역(C)이 구비된 반도체 기판(1)에 소자분리막(10) 및 게이트 절연막(14)을 형성한다. 상기 셀 어레이 영역(B)내의 상기 게이트 절연막(14) 상과 아울러서 상기 주변회로 영역(C)내의 게이트 절연막(14) 상에 각각 복수 개의 워드라인 패턴(30)들과 적어도 하나의 게이트 패턴(30-1)을 형성한다. 상기 워드라인 패턴(30)들은 워드라인(16)들과 워드라인 캐핑막 패턴(18)들로 형성된다. 그리고, 상기 게이트 패턴(30-1)은 게이트 전극(16-1)과 게이트 캐핑막 패턴(18-1)으로 형성된다. 상기 워드라인(16)들과 상기 게이트 전극(16-1)은 도핑된 폴리실리콘 막으로 형성한다. 상기 워드라인 캐핑막 패턴(18)들과 상기 게이트 캐핑막 패턴(18-1)은 질화막으로 형성한다. 상기 워드라인 패턴(30)들 및 상기 게이트 패턴(30-1)을 마스크로 하여 상기 반도체 기판(1)에 N- 저농도 영역(20)들을 형성한다. 상기 워드라인 패턴(30)들의 측벽들 상과 상기 게이트 패턴(30-1)의 측벽들 상에 게이트 스페이서(22)들을 형성한다. 상기 게이트 스페이서(22)는 질화막으로 형성한다. 상기 게이트 스페이서(22)들을

이용하여 상기 주변회로 영역(C)내의 반도체 기판(1)에 상기 N- 저농도 영역(20)들과 겹쳐지는 N+ 고농도 영역(24)들을 형성하여 LDD(Light Doped Drain) 구조를 만든다. 상기 게이트 스페이서(22)를 갖는 반도체 기판 상에 패드 층간절연막(32)을 형성한다. 상기 패드 층간절연막(32)은 산화막으로 형성한다. 상기 패드 층간절연막(32)을 관통하고 상기 워드라인 패턴(18)들 사이의 영역들에 배치된 패드 콘택홀들(40, 45, 50)을 형성한다. 상기 패드 콘택홀들(40, 45, 50)을 채우는 랜딩패드들 (52, 54, 56)을 형성한다. 상기 랜딩패드들(52, 54, 56)을 갖는 반도체 기판 상에 비트라인 층간절연막(58)을 형성한다. 상기 비트라인 층간절연막(58)은 산화막으로 형성한다. 상기 비트라인 층간절연막(58), 상기 패드 층간절연막(32), 및 상기 게이트 캐핑막 패턴(18-1)을 패터닝하여 상기 셀 어레이 영역(B) 및 상기 주변회로 영역(C) 내에 각각 셀 콘택홀(60)과 주변회로 콘택홀(65)을 형성한다. 상기 셀 콘택홀(60)은 상기 랜딩패드들(52, 54, 56)중 선택된 하나를 노출시키고, 상기 주변회로 콘택홀(65)은 상기 게이트 전극(16-1)을 노출한다. 상기 셀 콘택홀(60) 및 상기 주변회로 콘택홀(65)에 채워진 비트라인들(70, 70-1)을 형성한다.

<9> 그러나, 상기 주변회로 영역(C)내에서 상기 패드 층간절연막(32)과 상기 비트라인 층간절연막(58)은 상기 게이트 캐핑막 패턴(18-1)과 다른 식각률을 가진다. 이는, 동일한 에칭 가스로 상기 패드 층간절연막(32)과 상기 비트라인 층간절연막(58)의 단위 시간당 식각량이 상기 게이트 캐핑막 패턴(18-1)과 상이함을 의미한다. 따라서, 상기 비트라인 층간절연막(58) 및 상기 패드 층간절연막(32)에 대비해서 상기 게이트 캐핑막 패턴(18-1)에 형성되는 상기 주변회로

콘택홀(70-1)의 프로파일(Profile)은 다르게 형성된다. 따라서, 상기 주변회로 콘택홀(70-1)의 프로파일은 균일하지 못하기 때문에 상기 건식식각에 대한 공정 자유도를 협소하게함과 아울러서 반도체 장치의 퍼포먼스를 열악하게 만든다.

<10> 또한, 상기 반도체 장치는 디자인 룰을 점진적으로 축소함에 따라서 상기 패드 콘택홀들(40, 45, 50) 각각을 형성하는데 포토 공정의 한계에 근접된다. 왜냐하면, 상기 패드 콘택홀들(40, 45, 50) 사이의 간격(A)이 대응되어 감소되기 때문에 상기 패드 콘택홀들(40, 45, 50) 간에 물리적인 쇼트를 유발시킬 수 있다. 이는, 설계 시점에서부터 상기 패드 콘택홀들(40, 45, 50)과 상기 워드라인 캐핑막 패턴 (18)들간에 오버랩되는 폭(W1)들을 작게 해야하는 단점을 갖는다.

<11> 한편, "동일한 마스크를 이용한 메모리 어레이 콘택홀 및 주변 콘택홀의 형성방법"이 미국특허공보 제 6,423,627 호(U.S PATENT No. 6,423,627 B1)에 듀안 이 카아터(Duane E. Carter) 등에 의해 개시된 바있다.

<12> 상기 미국특허공보 제 6423627 호에 따르면, 메모리 어레이 영역(Memory Array Section)과 주변회로 영역(Peripheral Circuit section)이 구비된 반도체 기판에 게이트 절연막을 형성한다. 상기 메모리 영역내의 상기 게이트 절연막 상에 복수개의 게이트 전극들과 상기 게이트 전극들 상에 적층된 희생막(Disposable Cap)들을 형성한다. 또한, 그리고 상기 주변회로 영역내의 상기 게이트 절연막 상에 적어도 하나의 게이트 전극과 상기 게이트 전극에 적층된 희생막을 형성한다. 상기 주변회로 영역내의 상기 게이트 전극의 폭은 상기 메모리 어레이 영역내의 상기 게이트 전극의 폭보다 크다. 상기 게이트 전극들의 측벽들 상 및 상기 희생막들

의 측벽들 상에 스페이서들을 형성한다. 상기 스페이서들을 갖는 반도체 기판 상에 초기 절연막을 형성한다. 상기 초기 절연막을 평탄화하여 상기 메모리 어레이 영역과 상기 주변회로 영역에서 상기 희생막들을 노출시킨다. 상기 희생막을 선택적으로 제거한다. 상기 초기 절연막을 갖는 반도체 기판 상에 제 1 절연막을 형성한다. 상기 제 1 절연막을 전면적으로 에치 백한다. 이때에, 상기 메모리 어레이 영역에서는 상기 초기 절연막이 노출됨과 함께 상기 희생막이 있었던 부분들에 각각 상기 제 1 절연막이 채워진다. 상기 주변회로 영역에서는 상기 게이트 전극 상과 아울러서 상기 스페이서들의 측벽들 상에 제 1 절연막으로 된 내부 스페이서(Inward Sidewall)들을 형성하여 상기 게이트 전극을 노출한다. 상기 내부 스페이서들을 갖는 반도체 기판 상에 제 2 절연막을 형성한다. 상기 셀 어레이 영역내의 상기 제 2 절연막과 상기 초기 절연막을 관통하되, 상기 게이트 전극들 사이의 영역에 형성되어 상기 반도체 기판을 노출하는 셀프 얼라인 콘택(Self-Aligned Contact Hole)을 형성한다. 동시에, 상기 주변회로 영역내의 상기 제 2 절연막을 관통하되, 상기 내부 스페이서들 사이의 영역에 형성되고 상기 게이트 전극을 노출하는 주변 콘택홀(Periphery Contact Hole)을 형성한다. 상기 셀프 얼라인 콘택홀과 상기 주변 콘택홀은 하나의 마스크를 이용해서 형성한다.

<13> 그러나, 상기 방법은 게이트 전극 상에서 희생막의 제거공정, 상기 게이트 전극 상에 상기 제 1 절연막의 적층공정과 함께 주변 공정들이 부가되어 반도체 공정의 진행일정에 부담을 줄수 있다. 또한, 상기 주변회로 영역에서 상기 내부 스페이서의 형성은 상기 게이트 전극에 에칭 가스에 의한 플라즈마 데미지를 가증시킬 수 있다 .

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는 균일한 콘택홀들을 확보하는 데 적합한 이중 캐핑막 패턴들을 갖는 반도체 장치를 제공하는데 있다.

<15> 본 발명이 이루고자 하는 다른 기술적 과제는 균일한 콘택홀들을 확보할 수 있는 이중 캐핑막 패턴들을 갖는 반도체 장치의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<16> 상기 기술적인 과제를 해결하기 위하여 본 발명은 이중 캐핑막 패턴들을 갖는 반도체 장치를 제공한다.

<17> 상기 반도체 장치는 셀 어레이 영역과 주변회로 영역을 갖는 반도체 기판을 구비한다. 상기 셀 어레이 영역 내의 반도체 기판 상에 차례로 적층된 워드라인과 워드라인 캐핑막 패턴으로 구성된 복수개의 워드라인 패턴들을 배치한다. 상기 주변회로 영역 내의 상기 반도체 기판 상에 차례로 적층된 게이트 전극과 게이트 캐핑막 패턴으로 구성된 적어도 하나의 게이트 패턴을 배치한다. 상기 게이트 캐핑막 패턴은 상기 워드라인 캐핑막 패턴과 다른 식각률을 갖는다. 상기 워드라인 패턴들의 측벽들 및 상기 게이트 패턴의 측벽들 상에 게이트 스페이서들이 덮여진다. 상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 순차적으로 적층된 패드 층간절연막과 비트라인 층간절연막이 덮여진다. 상기 게이트 캐핑막 패턴과 상기 패드 층간절연막 및 상기 비트라인 층간절연막은 동일한 식각률을 갖는다. 상기 비트라인 층간절연막 및 상기 패드 층간절연막을 관통하여 상기 워드라인 패턴들 사이의 소정영역을 지나는 셀 콘택홀을 배치한다. 상기 비트라인 층

간절연막, 상기 패드 층간절연막 및 상기 게이트 캐핑막 패턴을 관통하여 상기 게이트 전극을 노출시키는 주변회로 콘택홀을 배치한다.

<18> 또한, 상기 다른 기술적인 과제를 해결하기 위하여 본 발명은 이중 캐핑막 패턴들을 갖는 반도체 장치의 제조방법을 제공한다.

<19> 이 방법은 셀 어레이 영역과 주변회로 영역을 갖는 반도체 기판을 준비하는 것을 포함한다. 반도체 기판 상에 게이트 절연막과 게이트 도전막을 순차적으로 형성한다. 상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역 내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형성한다. 상기 워드라인 캐핑막과 상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝한다. 이때에, 상기 셀 어레이 영역과 함께 상기 주변회로 영역에 각각 복수 개의 워드라인 패턴들과 적어도 하나의 게이트 패턴을 형성한다. 그리고, 상기 워드라인 패턴들의 각각은 워드라인과 워드라인 캐핑막 패턴을 갖는다. 상기 게이트 패턴은 게이트 전극과 게이트 캐핑막 패턴을 갖는다. 상기 워드라인 패턴들의 측벽들 상과 상기 게이트 패턴의 측벽들 상에 게이트 스페이서들을 형성한다. 상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 패드 층간절연막 및 비트라인 층간절연막을 순차적으로 형성한다. 상기 비트라인 층간절연막, 상기 패드 층간절연막 및 상기 게이트 캐핑막 패턴을 패터닝한다. 이를 통하여, 상기 셀 어레이 영역 내의 상기 워드라인 패턴들 사이의 영역을 관통하는 셀 콘택홀과 상기 주변회로 영역 내의 상기 게이트 전극을 노출시키는 주변회로 콘택홀을 형성한다.

<20> 이하, 본 발명의 실시예를 첨부된 도면들을 참조하여 상세히 설명하기로 한다.

<21> 도 2 는 본 발명의 일 실시예에 따른 반도체 장치의 일부를 보여주는 평면도이고, 도 3 은 도 2 의 I-I' 를 따라서 취해진, 본 발명의 일 실시예에 따른 반도체 장치의 공정단면도이다.

<22> 도 2 와 도 3 을 참조하면, 셀 어레이 영역(F)과 주변회로 영역(G)이 구비된 반도체 기판의 소정영역에 소자분리막(120)이 배치된다. 상기 소자분리막(120)은 활성영역들(110, 110-1)을 한정한다. 상기 소자분리막(120)을 갖는 반도체 기판 상의 셀 어레이 영역(F)내와 상기 주변회로 영역(G)내에 각각 복수 개의 워드라인 패턴(140)들 및 적어도 하나의 게이트 패턴(140-1)을 배치한다. 상기 워드라인 패턴(140)들은 워드라인(132)들과 상기 워드라인(132) 상에 적층된 워드라인 캐핑막 패턴(134)들로 구성된다. 상기 게이트 패턴(140-1)은 게이트 전극(132-1)과 상기 게이트 전극(132-1) 상에 적층된 게이트 캐핑막 패턴(134-1)으로 구성된다. 상기 워드라인 캐핑막 패턴(134)들은 상기 게이트 캐핑막 패턴(134-1)과는 다른 식각 률을 갖는 절연막으로 이루어진다. 상기 워드라인 캐핑막 패턴(134)들은 질화막이고, 상기 게이트 캐핑막 패턴(134-1)은 산화막인 것이 바람직하다. 상기 워드라인 패턴(140)들의 측벽들 상과 아울러서 상기 게이트 패턴(140-1)의 측벽들 상에 게이트 스페이서(144)들이 덮여진다. 상기 게이트 스페이서(144)들을 갖는 반도체 기판 상에 패드 층간절연막(148)이 덮여진다. 상기 패드 층간절연막(148)은 상기 게이트 캐핑막 패턴(134-1)과 동일한 식각률을 갖는 것이 바람직하다. 상기 셀 어레이 영역(F)내의 상기 패드 층간절연막(148)을 관통하여 상기 워드라인 패턴(140)들 사이의 영역들에 패드 콘택홀들(160, 170)이 배치된다. 상기 패드 콘택홀들(160, 170)에 랜딩패드들(172, 174)이 채워진다. 상기 랜딩 패드들(172, 174)을 갖는 반도체 기판 상에 비트라인 층간절연막(176)이 덮여진다. 상기 비트라인 층간절연막(176)

은 상기 패드 충전절연막(148)과 동일한 식각률을 갖는 것이 바람직하다. 상기 셀 어레이 영역(F)내와 상기 주변회로 영역(G)내에 각각 셀 콘택홀(180)과 주변회로 콘택홀(180-1)이 배치된다. 상기 셀 콘택홀(180)은 상기 비트라인 충전절연막(176)과 상기 패드 충전절연막(148)을 관통하되, 상기 랜딩패드들(172, 174)이 없는 상기 워드라인 패턴(140)들 사이의 영역에서 반도체 기판(100)이 노출되도록 배치한다. 상기 주변회로 콘택홀(180-1)은 상기 비트라인 충전절연막(176)과 상기 패드 충전절연막(148)을 관통하되, 부분제거된 상기 게이트 캐핑막 패턴(134-1)을 통하여 상기 게이트 전극(132-1)이 노출되게 배치한다. 그리고, 도 2 에서 상기 셀 어레이 영역(F)내에 상기 패드 콘택홀(160, 170)들과 상기 셀 콘택홀(180) 사이의 간격들(D, E)이 상기 워드라인 패턴(140)의 폭보다 작게 도시되어 있으나, 상기 패드 콘택홀들(160, 170)과 상기 셀 콘택홀(180) 간에는 상기 비트라인 충전절연막(176)이 개재되어 물리적인 쇼트는 일어나지 않는다. 이는, 상기 패드 콘택홀들(160, 170)이 상기 워드라인 패턴(140)들 상에 오버랩되는 폭(W2)을 도 1 의 종래기술대비 크게할 수 있게 한다. 도 3 에서, 상기 주변회로 영역(G)에서 상기 게이트 캐핑막 패턴(134-1)과 상기 패드 충전절연막(148) 및 상기 비트라인 충전절연막(176)이 동일한 식각률을 가지고 있기 때문에, 상기 주변회로 콘택홀(180-1)은 도 1 의 종래기술의 주변회로 콘택홀(65)대비 균일한 콘택홀의 프로파일(Profile)을 확보할 수 있게 한다.

<23> 도 4 내지 도 8 은 도 2 의 I-I' 를 따라서 취해진, 본 발명의 일 실시예에 따른 반도체 장치의 제조공정을 설명하는 공정단면도들이다.

<24> 도 4 를 참조하면, 셀 어레이 영역(F)과 주변회로 영역(G)이 구비된 반도체 기판의 소정영역에 소자분리막(120)을 형성한다. 상기 소자분리막(120)은 활성영역들(110,

110-1)을 한정한다. 상기 소자분리막(120)을 갖는 반도체 기판 상에 게이트 절연막(122), 게이트 도전막(124), 워드라인 캐핑막(126), 및 포토레지스트(128)를 차례로 형성한다. 상기 게이트 절연막(122)은 산화막으로 형성한다. 상기 게이트 도전막(124)은 도핑된 폴리실리콘 막, 또는 상기 도핑된 폴리실리콘 막과 함께 적층된 금속 실리사이드 막으로 형성한다. 상기 워드라인 캐핑막(126)은 산화막과 다른 식각률을 갖는 절연막으로 형성한다. 상기 워드라인 캐핑막(126)은 질화막으로 형성하는 것이 바람직하다. 이때에, 공지된 포토공정의 노광을 이용하여 상기 주변회로 영역(G)에서 반도체 기판(100)상의 상기 포토레지스트(128)를 제거한다. 상기 식각된 포토레지스트(128)를 마스크로 하여 상기 워드라인 캐핑막(126)을 선택적으로 식각하여 상기 게이트 도전막(124)을 노출시킨다. 상기 워드라인 캐핑막(126)의 선택적인 식각은 건식식각, 화학 기계적 연마, 및 습식식각중에서 선택된 하나로 수행되어진다.

<25> 또한, 상기 소자분리막(120)을 갖는 반도체 기판 상에 상기 게이트 절연막(122), 상기 게이트 도전막(124), 게이트 캐핑막(도면에 미 도시), 및 상기 포토레지스트(128)를 차례로 형성할 수도 있다. 상기 게이트 캐핑막은 상기 워드라인 캐핑막(126)과 다른 식각률을 갖는 절연막으로 형성된다: 상기 게이트 캐핑막은 FOX(Flowable Oxide) 또는 SOG(Spin On Glass) 등의 산화막으로 형성한다. 이때에, 공지된 포토공정의 노광을 이용하여 상기 셀 어레이 영역(F)에서 상기 반도체 기판(100) 상의 상기 포토레지스트(128)를 제거한다. 상기 식각된 포토레지스트(128)를 마스크로 하여 상기 게이트 캐핑막을 선택적으로 식각하여 상기 게이트 도전막(124)을 노출시킨다. 상기 워드라인 캐핑막(128)의 선택적인 식각은 상기 건식식각, 상기 화학 기계적 연마, 및 상기 습식식각중에서 선택된 하나로 수행되어진다.

- <26> 도 5 를 참조하면, 도 4 의 식각된 포토레지스트(128)를 반도체 기판(100) 상에서 제거한다. 식각된 워드라인 캐핑막(126)과 게이트 도전막(124)을 갖는 반도체 기판의 전면 상에 게이트 캐핑막(130)을 형성한다. 상기 게이트 캐핑막은 도 4 와 같은 FOX(Flowable Oxide) 또는 SOG(Spin On Glass) 등의 산화막으로 형성한다.
- <27> 또한, 도 4 에서 상기 반도체 기판(100) 상에 상기 게이트 절연막(122), 상기 게이트 도전막(124), 및 식각된 게이트 캐핑막이 순서적으로 형성된 경우에 있어서, 식각된 포토레지스트(128)를 상기 반도체 기판(100) 상에서 제거함과 아울러서 상기 식각된 게이트 캐핑막과 상기 게이트 도전막(122)을 갖는 반도체 기판의 전면 상에 워드라인 캐핑막(도면에 미 도시)을 형성할 수도 있다. 상기 워드라인 캐핑막은 도 4 와 같은 절화막으로 형성하는 것이 바람직하다.
- <28> 도 6 을 참조하면, 도 5 에서 게이트 절연막(122), 게이트 도전막(124), 및 식각된 워드라인 캐핑막(126)을 갖는 반도체 기판의 전면 상에 게이트 캐핑막(130)이 형성된 경우에 있어서, 상기 게이트 캐핑막(130)을 평탄화하여 셀 어레이 영역(F)내에 상기 식각된 워드라인 캐핑막(126)이 노출되도록 한다. 이때에, 상기 셀 어레이 영역(F)내의 상기 식각된 워드라인 캐핑막(126)을 노출시킴과 동시에 상기 주변회로 영역(G) 내에 선택적으로 상기 게이트 캐핑막(130)을 잔존시킨다.
- <29> 상기 게이트 캐핑막(130)을 평탄화하기 전에, 상기 게이트 캐핑막(130) 상에 포토레지스트(도면에 미 도시)를 형성할 수도 있다. 상기 포토레지스트와 상기 게이트 캐핑막(130)을 순차적으로 에치 백하되, 상기 포토레지스트가 제거되어 상기 셀 어레이 영역(F)내의 상기 식각된 워드라인 캐핑막(126)이 노출되도록 한다. 이때에, 상기 셀 어

레이 영역(F) 내의 상기 식각된 워드라인 캐핑막(126)을 노출시킴과 동시에 상기 주변회로 영역(G) 내에 선택적으로 상기 게이트 캐핑막(130)을 잔존시킨다.

<30> 또한, 도 5 에서 상기 게이트 절연막(122), 상기 게이트 도전막(124), 및 식각된 게이트 캐핑막을 갖는 반도체 기판의 전면 상에 워드라인 캐핑막(도면에 미 도시)이 형성된 경우에 있어서, 상기 워드라인 캐핑막을 평탄화하여 상기 주변회로 영역(G)내에 상기 식각된 게이트 캐핑막이 노출되도록 한다. 이때에, 상기 주변회로 영역(G) 내의 상기 식각된 게이트 캐핑막을 노출시킴과 동시에 상기 셀 어레이 영역(F) 내에 선택적으로 상기 워드라인 캐핑막을 잔존시킨다.

<31> 상기 워드라인 캐핑막을 평탄화하기 전에, 상기 워드라인 캐핑막 상에 포토레지스트를 형성할 수도 있다. 상기 포토레지스트와 상기 워드라인 캐핑막을 순차적으로 에치백하되, 상기 포토레지스트가 제거되어 상기 주변회로 영역(G)내의 상기 식각된 게이트 캐핑막이 노출되도록 한다. 이때에, 상기 주변회로 영역(G) 내의 상기 식각된 게이트 캐핑막을 노출시킴과 동시에 상기 셀 어레이 영역(F) 내에 선택적으로 상기 워드라인 캐핑막을 잔존시킨다.

<32> 그리고, 공지된 포토공정 및 식각공정을 이용하여 상기 식각된 워드라인 캐핑막(126)과 상기 식각된 게이트 캐핑막(130) 및 상기 게이트 도전막(124)을 패터닝하여 상기 셀 어레이 영역(F) 내에 복수개의 워드라인 패턴(140)들을 형성한다. 상기 워드라인 패턴(140)들의 각각은 차례로 적층된 워드라인(132) 및 워드라인 캐핑막 패턴(134)을 갖는다. 상기 셀 어레이 영역(F) 내에 상기 워드라인 패턴(140)들의 형성과 아울러 상기 주변회로 영역(G) 내에 적어도 하나의 게이트 패턴(140-1)을 동시에 형성한다. 상기 게

이트 패턴(140-1)은 차례로 적층된 게이트 전극(132-1) 및 게이트 캐핑막 패턴(134-1)을 갖는다.

<33> 공지된 상기 포토공정 및 상기 식각공정을 이용하여 상기 셀 어레이 영역(F) 내의 상기 식각된 워드라인 캐핑막(126) 및 상기 게이트 도전막(124)을 패터닝하여 상기 셀 어레이 영역(F) 내에 복수개의 워드라인 패턴(140)들을 형성할 수도 있다. 상기 워드라인 패턴(140)들을 형성한 후에, 상기 주변회로 영역(G) 내의 상기 식각된 게이트 캐핑막(130) 및 상기 게이트 도전막(124)을 패터닝하여 상기 주변회로 영역(G) 내에 적어도 하나의 게이트 패턴(140-1)을 형성한다.

<34> 또는, 공지된 상기 포토공정 및 상기 식각공정을 이용하여 상기 주변회로 영역(G) 내의 상기 식각된 게이트 캐핑막(130) 및 상기 게이트 도전막(124)을 패터닝하여 상기 주변회로 영역(G) 내에 적어도 하나의 게이트 패턴(140-1)을 먼저 형성할 수도 있다. 상기 게이트 패턴(140-1)을 형성한 후에, 상기 셀 어레이 영역(F) 내의 상기 식각된 워드라인 캐핑막(126) 및 상기 게이트 도전막(124)을 패터닝하여 상기 셀 어레이 영역(F) 내에 복수개의 워드라인 패턴(140)들을 형성한다.

<35> 상기 워드라인 캐핑막 패턴(134)들은 상기 식각된 워드라인 캐핑막(126)으로 형성되고, 상기 게이트 캐핑막 패턴(134-1)은 상기 식각된 게이트 캐핑막(130)으로 형성된다. 즉, 상기 워드라인 패턴(140)들과 상기 게이트 패턴(140-1)을 갖는 반도체 장치는 식각률이 서로 다른 이중 캐핑막 패턴들(Dual Capping Layer Patterns)을 갖는다.

<36> 상기 워드라인 패턴(140)들과 상기 게이트 패턴(140-1)을 이용하여 상기 셀 어레이 영역(F)내의 반도체 기판(100)과 아울러서 상기 주변회로 영역(G)내의 상기 반도체 기

판(100)에 각각 N- 저농도 영역(142)들을 형성한다. 상기 N- 저농도 영역(142)들은 상기 워드라인 패턴(140)들 및 상기 게이트 패턴(140-1)의 에지에 오버랩되어 형성된다.

<37> 상기 워드라인 패턴(140)들의 측벽들 상 및 상기 게이트 패턴(140-1)의 측벽들 상에 게이트 스페이서(144)들을 형성한다. 상기 게이트 스페이서(144)들은 산화막과 다른 식각률을 갖는 절연막으로 형성한다. 상기 게이트 스페이서(144)들은 질화막으로 형성하는 것이 바람직하다. 상기 게이트 스페이서(144)들을 이용하여 상기 주변회로 영역(G)내의 상기 반도체 기판(100)에 상기 N- 저농도 영역(142)들과 겹쳐지는 N+ 고농도 영역(146)들을 형성한다. 이를 통해서, 상기 반도체 기판(100)에 LDD(Lightly Doped Drain) 구조를 형성한다.

<38> 도 7 을 참조하면, 도 6 의 게이트 스페이서(144)들을 갖는 반도체 기판 상에 패드 층간절연막(148)을 형성한다. 상기 패드 층간절연막(148)은 셀 어레이 영역(F)내의 워드라인 캐핑막 패턴(134)들 및 게이트 스페이서(144)들과 다른 식각률을 갖는 절연막으로 형성한다. 상기 패드 층간절연막(148)은 주변회로 영역(G)내의 게이트 캐핑막 패턴(134-1)과 동일한 식각률을 갖는 절연막으로 형성한다. 상기 패드 층간절연막(148)은 산화막으로 형성하는 것이 바람직하다.

<39> 상기 셀 어레이 영역(F)내의 상기 패드 층간절연막(148)을 관통하여 워드라인 패턴(140)들 사이의 영역들에서 반도체 기판(100)을 노출하는 패드 콘택홀들(160, 170)을 형성한다. 상기 패드 콘택홀들(160, 170)은 상기 워드라인 패턴(140)들을 이용하여 셀프 얼라인 방식으로 형성한다. 상기 패드 콘택홀(160, 170)들은 상기 워드라인 패턴(140)들에 오버랩되는 폭(W2)들을 종래기술대비 크게 할 수있다. 왜냐하면, 상기 패드 콘택홀들(160, 170) 사이의 간격(H)은 도 1 의 패드 콘택홀들(40, 45, 50) 사이의 간격

(A)보다 크기 때문이다. 이는, 점진적으로 디자인 룰이 축소되더라도 적극적으로 대응하여 상기 패드 콘택홀들(160, 170)을 형성할 수 있는 장점을 준다.

- <40> 상기 패드 콘택홀들(160, 170) 각각을 채우는 랜딩패드들(172, 174)을 형성한다. 상기 랜딩패드들(172, 174)은 도전막으로 형성한다. 상기 랜딩패드들(172, 174)은 도핑된 폴리실리콘 막으로 형성하는 것이 바람직하다.
- <41> 도 8 을 참조하면, 도 7 의 랜딩패드들(172, 174)을 갖는 반도체 기판의 전면 상에 비트라인 층간절연막(176)을 형성한다. 상기 비트라인 층간절연막(176)은 패드 층간절연막(148)과 동일한 식각률을 갖는 산화막으로 형성한다. 상기 셀 어레이 영역(F)내의 상기 비트라인 층간절연막(176) 및 상기 패드 층간절연막(148)을 관통하되, 상기 워드라인 패턴(140)들 사이의 영역을 지나는 셀 콘택홀(180)을 형성한다. 상기 셀 콘택홀(180)은 상기 랜딩패드들(172, 174)이 없는 상기 워드라인 패턴(140)들 사이의 영역에 형성되어 반도체 기판(100)을 노출시킨다. 그리고, 상기 주변회로 영역(G)내의 상기 비트라인 층간절연막(176)과 상기 패드 층간절연막(148) 및 게이트 캐핑막 패턴(134-1)을 관통하되, 게이트 전극(132-1)이 노출되는 주변회로 콘택홀(180-1)을 상기 셀 콘택홀(180)과 동시에 형성한다. 상기 셀 콘택홀(180)은 셀프 얼라인(SELF-ALIGN) 방식으로 형성한다. 상기 셀 콘택홀(180)과 상기 주변회로 콘택홀(180-1)을 채우고 상기 비트라인 층간절연막(176) 상에 패터닝된 비트라인들(190, 190-1)을 형성한다.
- <42> 상기 셀 어레이 영역(F)내의 상기 셀 콘택홀(180)은 종래 기술의 셀 콘택홀(60)대비 포토공정의 자유도를 크게 갖는다. 상기 셀 콘택홀(180)이 상기 랜딩패드들(172, 174) 상에 형성되지 않기 때문에, 상기 셀 콘택홀(180) 및 상기 셀 콘택홀(180) 주변의 상기 랜딩패드들(172, 174) 사이의 간격(E)은 종래기술대비 전기적인 쇼트를 일으키지

않는 크기까지 좁힐수 있다. 따라서, 상기 셀 콘택홀(180)의 콘택저항은 종래기술대비 개선된다. 그러나, 종래기술의 셀 콘택홀(60)은 상기 랜딩패드(54) 상에 형성되기 때문에, 쇼트 관점에서 상기 셀 콘택홀(60)은 상기 랜딩패드들(52, 54, 56)을 형성하는 포토 공정의 물리적인 한계에 종속된다.

<43> 또한, 상기 주변회로 영역(G)내의 상기 주변회로 콘택(180-1)은 종래기술 대비 균일한 콘택홀 프로파일을 갖는다. 왜냐하면, 상기 주변회로 콘택홀(180-1)은 동일한 식각률을 갖는 상기 비트라인 충전절연막(176)과 상기 패드 충전절연막(148) 및 상기 게이트 캐핑막 패턴(134-1)에 형성되기 때문이다. 이를 통해서, 상기 주변회로 콘택홀(180-1)은 일정한 콘택저항을 확보할 수 있다.

【발명의 효과】

<44> 상술한 바와 같이, 본 발명은 셀 어레이 영역내와 아울러서 주변회로 영역내에 각각 복수 개의 워드라인 패턴들과 적어도 하나의 게이트 패턴을 갖는 반도체 기판의 전면 상에 패드 충전절연막 및 비트라인 충전절연막을 순차적으로 형성한다. 상기 워드라인 패턴들은 워드라인들 및 워드라인 캐핑막 패턴들로 형성되고, 상기 게이트 패턴들은 게이트 전극 및 상기 워드라인 캐핑막 패턴들과 다른 식각률을 갖는 게이트 캐핑막 패턴으로 형성된다. 상기 게이트 캐핑막 패턴은 상기 비트라인 충전절연막 및 상기 패드 충전절연막과 동일한 식각률을 갖는다. 상기 셀 어레이 영역내와 함께 상기 주변회로 영역내에 셀 콘택홀과 주변회로 콘택홀을 동시에 형성한다. 이때에, 상기 주변회로 콘택홀은 상기 셀 콘택홀과 함께 균일한 콘택홀의 프로파일을 갖는다. 상기 셀 콘택홀과 상기 주

변화로 콘택홀은 안정된 콘택저항의 확보로 반도체 장치의 퍼포먼스를 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

셀 어레이 영역과 주변회로 영역을 갖는 반도체 기판;

상기 셀 어레이 영역 내의 상기 반도체 기판 상에 배치되되, 그들의 각각은 차례로 적층된 워드라인과 워드라인 캐핑막 패턴으로 구성된 복수개의 워드라인 패턴들;

상기 주변회로 영역 내의 상기 반도체 기판 상에 배치되고 차례로 적층된 게이트 전극과 게이트 캐핑막 패턴으로 구성되되, 상기 게이트 캐핑막 패턴은 상기 워드라인 캐핑막 패턴과 다른 식각률을 갖는 적어도 하나의 게이트 패턴;

상기 워드라인 패턴들의 측벽들 및 상기 게이트 패턴의 측벽들 상에 형성된 게이트 스페이서들;

상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 차례로 적층되되, 상기 게이트 캐핑막 패턴과 동일한 식각률을 갖는 패드 층간절연막과 비트라인 층간절연막;

상기 비트라인 층간절연막 및 상기 패드 층간절연막을 관통하여 상기 워드라인 패턴들 사이의 소정영역을 지나는 셀 콘택홀; 및

상기 비트라인 층간절연막, 상기 패드 층간절연막 및 상기 게이트 캐핑막 패턴을 관통하여 상기 게이트 전극을 노출시키는 주변회로 콘택홀을 포함하는 반도체 장치.

【청구항 2】

제 1 항에 있어서,

상기 워드라인 및 상기 게이트 전극은 도핑된 폴리실리콘 막인 것을 포함하는 반도체 장치.

【청구항 3】

제 1 항에 있어서,

상기 워드라인 및 상기 게이트 전극은 폴리사이드 막인 것을 포함하는 반도체 장치.

【청구항 4】

제 1 항에 있어서,

상기 워드라인 캐핑막 패턴은 질화막인 것을 포함하는 반도체 장치.

【청구항 5】

제 1 항에 있어서,

상기 게이트 캐핑막은 산화막인 것을 포함하는 반도체 장치.

【청구항 6】

제 1 항에 있어서,

상기 산화막은 FOX(Flowable Oxide) 또는 SOG(Spin On Glass) 인 것을 포함하는 반도체 장치.

【청구항 7】

제 1 항에 있어서,

상기 게이트 스페이서는 질화막인 것을 포함하는 반도체 장치.

【청구항 8】

제 1 항에 있어서,

상기 패드 층간절연막을 관통하고 상기 워드라인 패턴들 사이의 영역들에 배치된 랜딩패드들을 더 포함하는 것이 특징인 반도체 장치.

【청구항 9】

셀 어레이 영역과 주변회로 영역을 갖는 반도체 기판을 준비하고,

상기 반도체 기판 상에 게이트 절연막과 게이트 도전막을 순차적으로 형성하고,

상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형성하고,

상기 워드라인 캐핑막과 상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 셀 어레이 영역 및 상기 주변회로 영역에 각각 복수 개의 워드라인 패턴들과 적어도 하나의 게이트 패턴을 형성하되, 상기 워드라인 패턴들과 상기 게이트 패턴은 각각 워드라인들과 워드라인 캐핑막 패턴들 그리고 게이트 전극과 게이트 캐핑막 패턴을 갖고

상기 워드라인 패턴들의 측벽들 상과 상기 게이트 패턴의 측벽들 상에 게이트 스페이서들을 형성하고,

상기 게이트 스페이서들을 갖는 반도체 기판의 전면 상에 패드 층간절연막 및 비드라인 층간절연막을 순차적으로 형성하고,

상기 비트라인 층간절연막, 상기 패드 층간절연막 및 상기 게이트 캐핑막 패턴을 패터닝하여 상기 워드라인 패턴들 사이의 영역을 관통하는 셀 콘택홀 및 상기 게이트 전극을 노출시키는 주변회로 콘택홀을 형성하는 것을 포함하는 반도체 장치의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형성하는 것은,

상기 게이트 도전막 상에 워드라인 캐핑막을 형성하고,

상기 주변회로 영역내의 상기 워드라인 캐핑막을 선택적으로 식각하여 상기 주변회로 영역내의 상기 게이트 도전막을 노출시키고,

상기 주변회로 영역내의 상기 게이트 도전막이 노출된 반도체 기판의 전면 상에 상기 식각된 워드라인 캐핑막과 다른 식각률을 갖는 게이트 캐핑막을 형성하고,

상기 게이트 캐핑막을 평탄화시키어 상기 셀 어레이 영역내의 상기 식각된 워드라인 캐핑막을 노출시킴과 동시에 상기 주변회로 영역내에 선택적으로 상기 게이트 캐핑막을 잔존시키는 것을 포함하는 반도체 장치의 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역
내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형
성하는 것은,

상기 게이트 도전막 상에 게이트 캐핑막을 형성하고,

상기 셀 어레이 영역내의 상기 게이트 캐핑막을 선택적으로 식각하여 상기 셀 어레
이 영역 내의 상기 게이트 도전막을 노출시키고,

상기 셀 어레이 영역 내의 상기 게이트 도전막이 노출된 반도체 기판의 전면 상에
상기 식각된 게이트 캐핑막과 다른 식각률을 갖는 워드라인 캐핑막을 형성하고,

상기 워드라인 캐핑막을 평탄화시키어 상기 주변회로 영역내의 상기 식각된 게이트
캐핑막을 노출시킴과 동시에 상기 셀 어레이 영역 내에 선택적으로 상기 워드라인 캐핑
막을 잔존시키는 것을 포함하는 반도체 장치의 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 워드라인 패턴들과 상기 게이트 패턴을 형성하는 것은,

상기 셀 어레이 영역 내의 상기 워드라인 캐핑막과 아울러서 동시에 상기 주변회로
영역 내의 상기 게이트 캐핑막을 패터닝하여 상기 워드라인 캐핑막 패턴들 및 상기 게
이트 캐핑막 패턴을 형성하고,

상기 워드라인 캐핑막 패턴들 및 상기 게이트 캐핑막 패턴을 각각 마스크로 해서
상기 게이트 도전막을 식각하여 형성하는 것을 포함하는 반도체 장치의 제조방법.

【청구항 13】

제 9 항에 있어서,

상기 워드라인 패턴들과 상기 게이트 패턴을 형성하는 것은,

상기 워드라인 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 셀 어레이 영역 내에 워드라인들 및 상기 워드라인들 상에 적층된 워드라인 캐핑막 패턴들로 이루어진 상기 워드라인 패턴들을 형성하고,

상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 주변회로 영역내에 게이트 전극 및 상기 게이트 전극 상에 적층된 게이트 캐핑막 패턴으로 이루어진 상기 게이트 패턴을 형성하는 것을 포함하는 반도체 장치의 제조방법.

【청구항 14】

제 9 항에 있어서,

상기 워드라인 패턴들과 상기 게이트 패턴을 형성하는 것은,

상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 주변회로 영역내에 게이트 전극 및 상기 게이트 전극 상에 적층된 게이트 캐핑막 패턴으로 이루어진 상기 게이트 패턴을 형성하고,

상기 워드라인 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 셀 어레이 영역 내에 워드라인들 및 상기 워드라인들 상에 적층된 워드라인 캐핑막 패턴들로 이루어진 상기 워드라인 패턴들을 형성하는 것을 포함하는 반도체 장치의 제조방법.

【청구항 15】

제 9 항에 있어서,

상기 셀 콘택홀은 셀프 얼라인 방식으로 형성되는 것을 포함하는 반도체 장치의 제조방법.

【청구항 16】

제 10 항에 있어서,

상기 워드라인 캐핑막의 선택적인 식각은 건식식각, 화학 기계적 연마, 또는 습식 식각으로 수행되는 것을 포함하는 반도체 장치의 제조방법.

【청구항 17】

제 9 항에 있어서,

상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형성하는 것은,

상기 게이트 도전막 상에 워드라인 캐핑막을 형성하고,

상기 주변회로 영역내의 상기 워드라인 캐핑막을 선택적으로 식각하여 상기 주변회로 영역내의 상기 게이트 도전막을 노출시키고,

상기 주변회로 영역내의 상기 게이트 도전막이 노출된 반도체 기판의 전면 상에 상기 식각된 워드라인 캐핑막과 다른 식각률을 갖는 게이트 캐핑막을 형성하고,

상기 게이트 캐핑막을 갖는 반도체 기판 상에 포토레지스트를 형성하고,

상기 포토레지스트 및 상기 게이트 캐핑막을 순차적으로 에치 백하여 상기 셀 어레이 영역 내의 상기 식각된 워드라인 캐핑막을 노출시키는 것을 포함하는 반도체 장치의 제조방법.

【청구항 18】

제 11 항에 있어서,

상기 게이트 캐핑막의 선택적인 식각은 건식식각, 화학 기계적 연마, 또는 습식식각으로 수행되는 것을 포함하는 반도체 장치의 제조방법.

【청구항 19】

제 9 항에 있어서,

상기 셀 어레이 영역내의 상기 게이트 도전막 상과 아울러서 상기 주변회로 영역내의 상기 게이트 도전막 상에 각각 선택적으로 워드라인 캐핑막 및 게이트 캐핑막을 형성하는 것은,

상기 게이트 도전막 상에 게이트 캐핑막을 형성하고,

상기 셀 어레이 영역내의 상기 게이트 캐핑막을 선택적으로 식각하여 상기 셀 어레이 영역 내의 상기 게이트 도전막을 노출시키고,

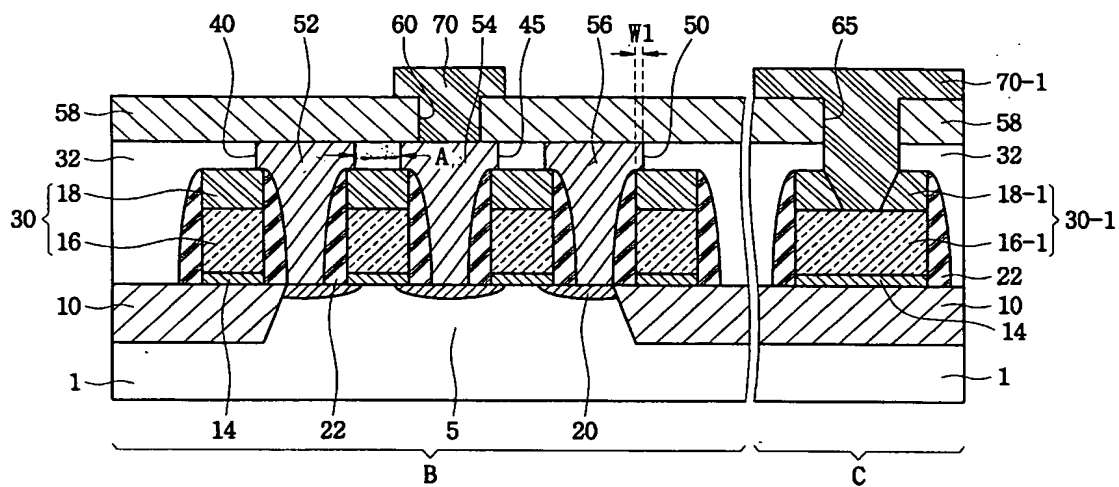
상기 셀 어레이 영역 내의 상기 게이트 도전막이 노출된 반도체 기판의 전면 상에 상기 식각된 게이트 캐핑막과 다른 식각률을 갖는 워드라인 캐핑막을 형성하고,

상기 워드라인 캐핑막을 갖는 반도체 기판 상에 포토레지스트를 형성하고,

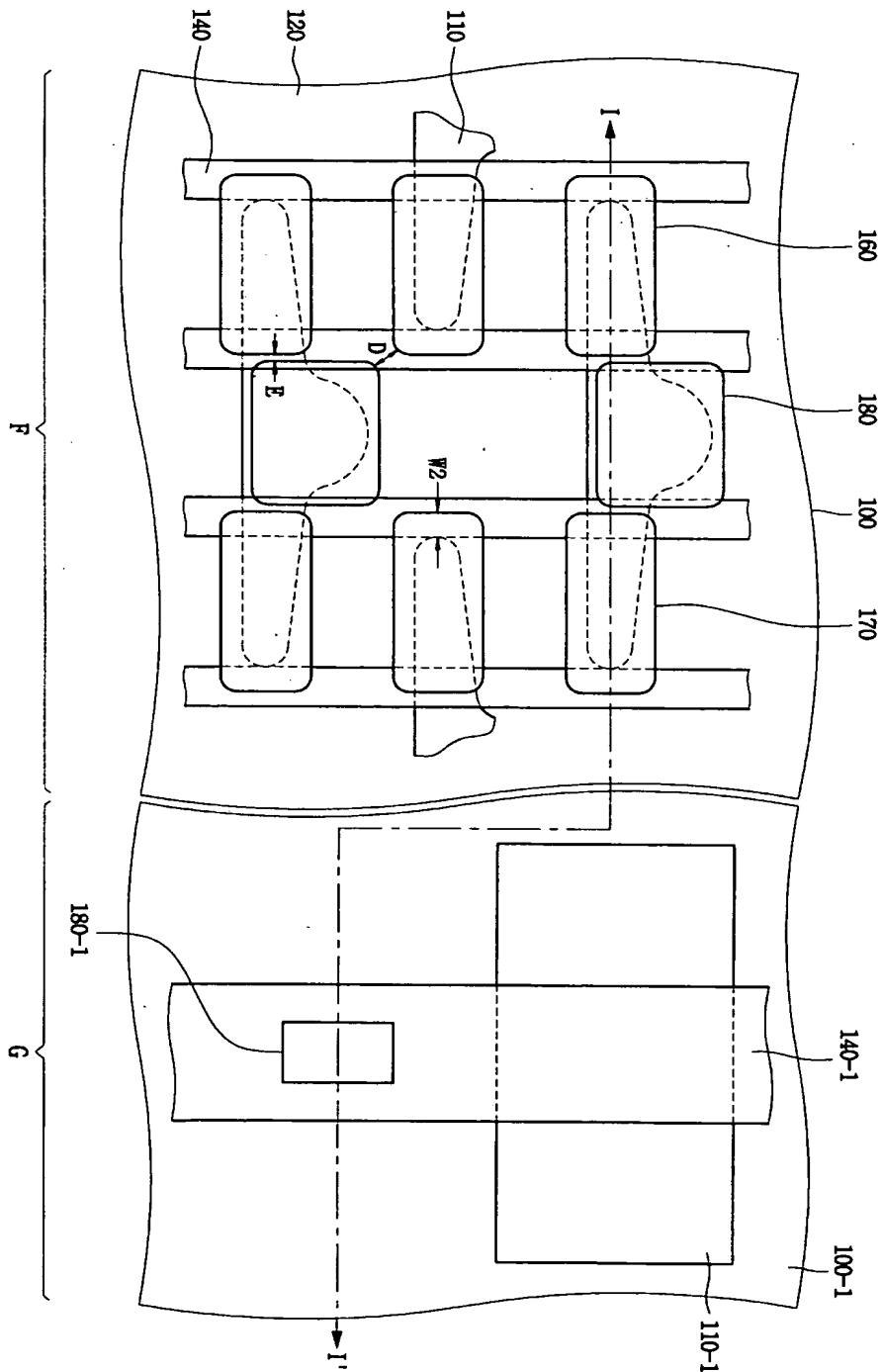
상기 포토레지스트 및 상기 워드라인 캐핑막을 순차적으로 에치 백하여 상기 주변회로 영역 내의 상기 식각된 게이트 캐핑막을 노출시키는 것을 포함하는 반도체 장치의 제조방법.

【도면】

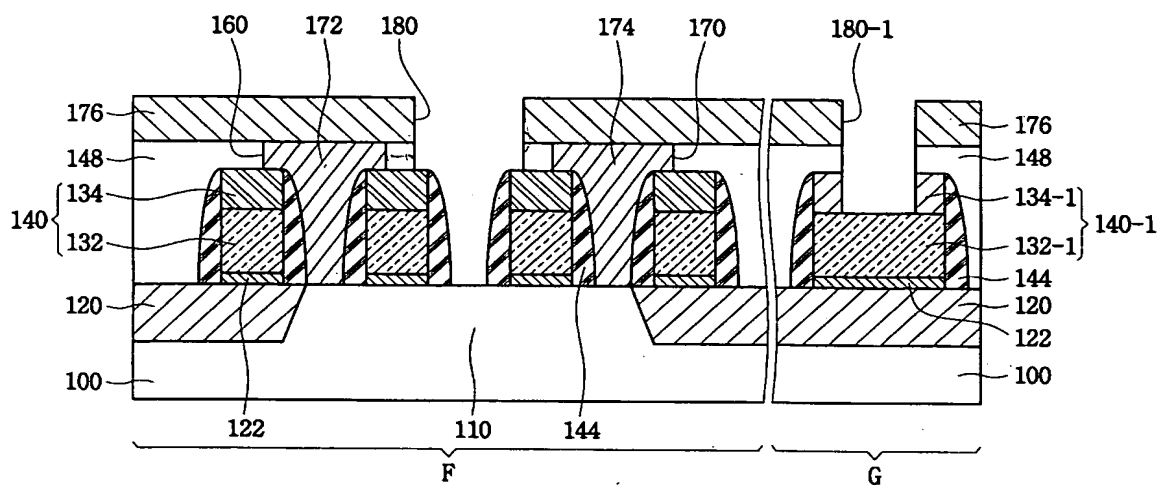
【도 1】



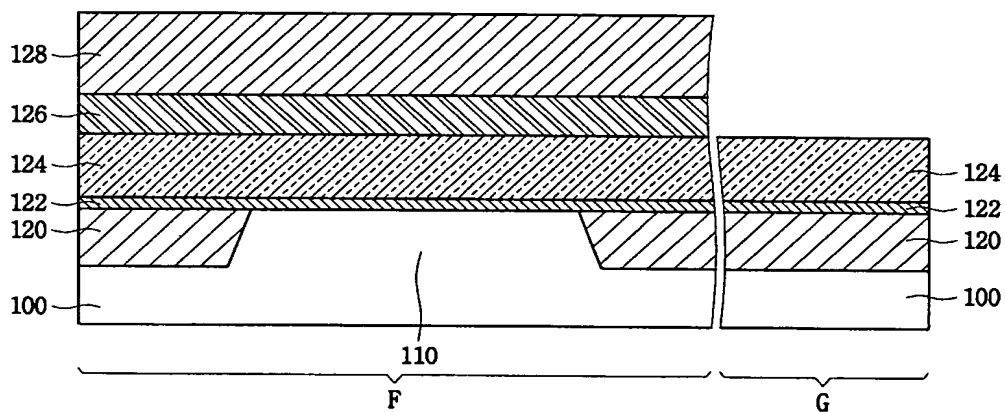
【도 2】



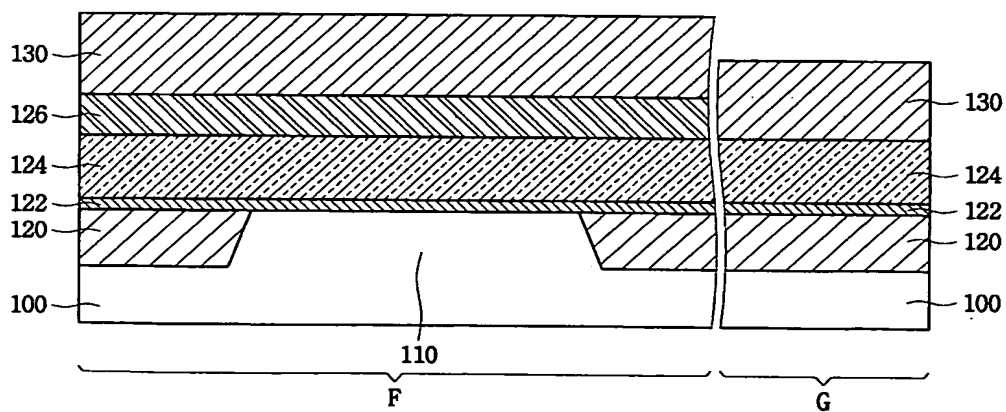
【도 3】



【도 4】



【도 5】



This diagram shows a cross-sectional view of a semiconductor device. A substrate 100 is divided into two regions, F and G. Region F contains a periodic array of structures 140, each consisting of a base layer 120 and a top layer 132. The top layer 132 has a central portion 134 and side portions 132-1. The base layer 120 has a central portion 122 and side portions 120. The structures 140 are separated by a gap 142. The width of the structures 140 is denoted by H, and the width of the gap 142 is denoted by W2. The structures 140 are formed on a layer 110. Region G contains a single structure 140-1, which is similar to the structures in region F but has a different profile. The structures 140 and 140-1 are formed on a layer 144. The substrate 100 is divided into two regions, F and G, by a vertical line. The structures 140 are formed on a layer 110, and the structures 140-1 are formed on a layer 144. The substrate 100 is divided into two regions, F and G, by a vertical line. The structures 140 are formed on a layer 110, and the structures 140-1 are formed on a layer 144. The substrate 100 is divided into two regions, F and G, by a vertical line. The structures 140 are formed on a layer 110, and the structures 140-1 are formed on a layer 144.

【도 8】

